

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-171412

(43) 公開日 平成10年(1998)6月26日

(51) Int.Cl.<sup>8</sup>  
G 0 9 G 3/36  
G 0 2 F 1/133

識別記号  
5 5 0  
5 7 5

F I  
G 0 9 G 3/36  
G 0 2 F 1/133  
5 5 0  
5 7 5

審査請求 有 請求項の数 3 O.L. (全 7 頁)

(21) 出願番号 特願平8-328532

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(22) 出願日 平成8年(1996)12月9日

(72) 発明者 宮原 妙

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72) 発明者 奥谷 茂樹

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72) 発明者 羽田 寛

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74) 代理人 弁理士 丸山 隆夫

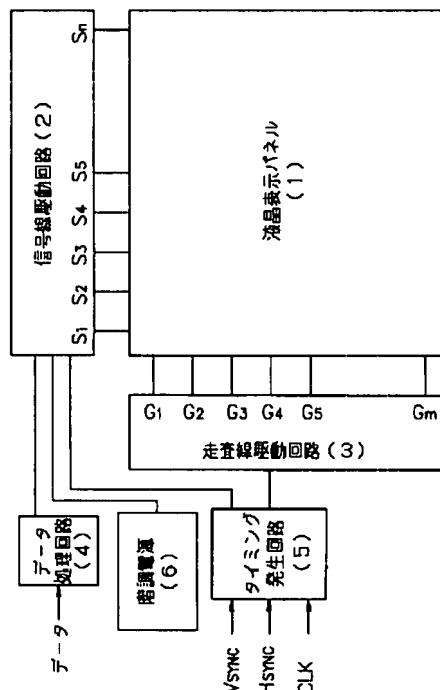
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【要約】

【課題】 ドット反転駆動で特殊パターンを表示しても良好な画質が得られるアクティブマトリクス型液晶表示装置を得る。

【解決手段】 一水平走査期間内に2本の走査線を連続して選択することで、水平方向に並ぶ画素列に表示電圧を書き込み、更に、階調電源部6が生成する階調電圧に基づき、表示画素の偶数番目の画素が選択される時に信号線に供給される電圧と、表示画素の奇数番目の画素が選択される時に信号線に供給される電圧とを切り替える。よって、信号線を共用して信号線駆動回路2の数を減らしたアクティブマトリクス型液晶表示装置においてドット反転駆動をしたとき、画素間寄生容量による前段画素電位の変調があっても、前段画素の階調電圧の補正により、後段画素の書き込み時に変調を受けた後の前段画素の電位と、後段画素の電位とを同等にすることができる。



## 【特許請求の範囲】

【請求項1】マトリクス状に配置された表示画素の電極へ印加する信号を供給する2本以上の信号線、前記表示画素への書き込みを制御する2本以上の走査線、前記書き込み作用を行うスイッチング素子が形成されたアクティブマトリクス基板、および対向側表面に共通電極を形成された対向基板が、液晶層を挟んで対向して成る液晶表示パネルと、

前記2本以上の信号線へ接続された信号線駆動回路と、前記2本以上の走査線へ接続された走査線駆動回路と、前記信号線駆動回路にデータを供給するデータ処理回路と、

前記信号線駆動回路、前記走査線駆動回路および前記データ処理回路の動作のためのタイミング信号を生成するタイミング発生回路と、

前記表示画素の偶数番目（または奇数番目）の画素が選択される時に前記信号線に供給される電圧と、前記表示画素の奇数番目（または偶数番目）の画素が選択される時に前記信号線に供給される電圧とを切り替えるための階調電圧を生成する階調電源部とを有し、前記アクティブマトリクス基板における水平方向の奇数番目（または偶数番目）の表示画素と走査線と、偶数番目（または奇数番目）の表示画素と信号線とがそれぞれ接続され、また水平方向の任意の表示ラインに対して2本の水平方向に形成される走査線が割り当てられ、信号線を挟んで水平方向に隣接する表示画素のゲート電極の一方は奇数番目（または偶数番目）の走査線、他方が偶数番目（または奇数番目）の走査線に接続され、走査線を挟んで垂直方向に隣接する表示画素のゲート電極の一方は奇数番目（または偶数番目）の走査線、他方が偶数番目（または奇数番目）の走査線に、それぞれ接続されて構成され、

一水平走査期間内に前記2本の走査線を連続して選択することで水平方向に並ぶ画素列に表示電圧を書き込み、更に、前記階調電圧を切り替えることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】前記階調電源部は抵抗ラダー回路により構成され、前記階調電圧の切り替えは、抵抗ラダーの両端電圧となる0階調の階調電圧を1水平期間の半分の周期で切り替えて行なうことを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項3】前記スイッチング素子は薄膜トランジスタであり、前記走査線にゲート電極が接続された前記薄膜トランジスタを介して共通の信号線に接続され、前記アクティブマトリクス基板が構成されたことを特徴とする請求項1または2に記載のアクティブマトリクス型液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、信号線駆動回路数

を低減したマトリクス表示装置に関する。

## 【0002】

【従来の技術】従来、アクティブマトリクス型液晶表示装置は、薄膜トランジスタ（TFT）を使用して構成される。従来例1のアクティブマトリクス型液晶表示装置は、水平方向の表示ラインの全ての表示画素を同時に駆動する方法（以下、通常駆動ともいう。）を用いている。本従来例1では、マトリクス状に配線された信号線と走査線の交点1つに対し、トランジスタ、表示画素が一つとなっている。このため、信号線1本に対して表示画素1列が対応、すなわち、表示画素1列に対して信号線駆動用ドライバが1つ必要となる。

【0003】近年、薄膜トランジスタ（TFT）を使用したアクティブマトリクス型液晶表示装置はパーソナルコンピュータなどを中心にしているが、さらに広範囲な分野で使用されるためには、いかに製品を低価格で供給できるかが重要な課題の一つとなっている。一つの方法として部材費の削減がある。ここで注目されたのが、部材費のなかで大きな割合を占める信号線データの出力ドライバの削減である。信号線データの出力ドライバは映像信号等の広い周波数帯域を扱い、高速のデータレートで動作するため、たいへん高価なものである。そこで、信号線データの出力ドライバの数を半減してコストを下げる駆動方法が提案された。

【0004】上記の提案された従来例2の具体的な駆動方法は、例えば、特開平3-38689号公報、特開平5-265045号公報、特開平6-148680号公報に記載されている技術である。これら従来の公報に記載されている技術では、信号線1本に対して表示画素が2列接続され、信号線1本で表示画素2列を駆動できる。このため、信号線データの出力ドライバの数を半減できる。

【0005】図5は、従来例2のTFT基板の回路構成例を示す図である。本アクティブマトリクス基板では、水平方向奇数番目の表示画素と偶数番目の表示画素とが、それぞれ独立の走査線にゲート電極が接続された薄膜トランジスタを介し、共通の信号線に接続されている。本構成において、一水平走査期間内に前記の2本の走査線を連続して選択することで、水平方向に並ぶ画素列に表示電圧を書き込む。走査線駆動回路からの選択信号が信号線駆動回路の出力に合わせて、G1、G2、G3、G4、…と順次シフトしていくと、信号線S1に注目すればd11、d12、d22、d21、…において、また信号線S2に注目すればd14、d13、d23、d24、…において、各データは書き込まれる。

【0006】上記の書き込み手順によれば、一回の書き込み時間で奇数番目データ→偶数番目データというように二回書き込むことになる。よって、水平方向の表示ラインの全ての表示画素を同時に書き込む駆動方法（通常駆動）と比べて、半分の書き込み時間となる。

【0007】図6は、液晶表示パネルの表示画素に保持される電圧の極性を示す模式図である。信号線駆動回路は、隣り合う出力で互いに逆の極性電圧を出力することで、対向電極への変調が抑制され横クロストークのない表示が得られる。また、一水平画素列書込毎に各々の出力の極性が反転するために、最終的な書込画素電圧極性は隣り合う画素で極性の異なるドット反転状態になる。

#### 【0008】

【発明が解決しようとする課題】しかしながら、以上述べたように、信号線駆動回路を低減したアクティブマトリクス液晶表示装置を駆動すると、1本の信号線を挟んで図7に示した矢印の順にデータが書き込まれていく。このとき各画素は隣り合う画素との間に寄生容量( $C_{pp}$ )を持つため、1本の信号線を挟んで隣り合う画素において、先に書き込まれた画素の電位が、後から書き込まれる画素の逆極性の電位により書き込み時に変調を受け、図6に示したように、前段画素と後段画素との画素電位が $V_{pp}$ だけ相違する。この前段画素と後段画素との画素電位の相違は、それぞれの画素表示の輝度の相違となって表われる。よって、図7でハッチングを施した画素のみを光らせるパターン(緑画素市松)を表示すると、垂直方向に、前段画素のみの列と後段画素のみの列が2列ごとに現れ、このため、縦スジムラとなって認識されるという問題点を有する。

【0009】本発明は、ドット反転駆動で特殊パターンを表示しても良好な画質が得られるアクティブマトリクス型液晶表示装置を提供することを目的とする。

#### 【0010】

【課題を解決するための手段】かかる目的を達成するため、本発明のアクティブマトリクス型液晶表示装置は、マトリクス状に配置された表示画素の電極へ印加する信号を供給する2本以上の信号線、表示画素への書込を制御する2本以上の走査線、書込作用を行うスイッチング素子が形成されたアクティブマトリクス基板、および対向側表面に共通電極を形成された対向基板が、液晶層を挟んで対向して成る液晶表示パネルと、2本以上の信号線へ接続された信号線駆動回路と、2本以上の走査線へ接続された走査線駆動回路と、信号線駆動回路にデータを供給するデータ処理回路と、信号線駆動回路、走査線駆動回路およびデータ処理回路の動作のためのタイミング信号を生成するタイミング発生回路と、表示画素の偶数番目(または奇数番目)の画素が選択される時に信号線に供給される電圧と、表示画素の奇数番目(または偶数番目)の画素が選択される時に信号線に供給される電圧とを切り替えるための階調電圧を生成する階調電源部とを有し、アクティブマトリクス基板における水平方向の奇数番目(または偶数番目)の表示画素と走査線と、偶数番目(または奇数番目)の表示画素と信号線とがそれぞれ接続され、また水平方向の任意の表示ラインに対して2本の水平方向に形成される走査線が割り当てら

れ、信号線を挟んで水平方向に隣接する表示画素のゲート電極の一方は奇数番目(または偶数番目)の走査線、他方が偶数番目(または奇数番目)の走査線に接続され、走査線を挟んで垂直方向に隣接する表示画素のゲート電極の一方は奇数番目(または偶数番目)の走査線、他方が偶数番目(または奇数番目)の走査線に、それぞれ接続されて構成され、一水平走査期間内に2本の走査線を連続して選択することで水平方向に並ぶ画素列に表示電圧を書き込み、更に、階調電圧を切り替えることを特徴としている。

【0011】また、上記の階調電源部は抵抗ラダー回路により構成され、階調電圧の切り替えは、抵抗ラダーの両端電圧となる0階調の階調電圧を1水平期間の半分の周期で切り替えて行なうとよい。

【0012】なお、スイッチング素子は薄膜トランジスタであり、走査線にゲート電極が接続された薄膜トランジスタを介して共通の信号線に接続され、アクティブマトリクス基板を構成するとよい。

#### 【0013】

【発明の実施の形態】次に添付図面を参照して本発明によるアクティブマトリクス型液晶表示装置の実施の形態を詳細に説明する。図1～図4を参照すると本発明のアクティブマトリクス型液晶表示装置の一実施形態が示されている。なお、従来の技術の説明で用いた図5～図7を、以下の本実施形態の説明において流用する。

【0014】図1は、アクティブマトリクス型液晶表示装置の全体ブロック構成図である。本実施形態のアクティブマトリクス型液晶表示装置は、画像を表示する液晶表示パネル1と、液晶表示パネル1を駆動する信号線駆動回路2と走査線駆動回路3と、信号線駆動回路2並びに走査線駆動回路3を駆動するタイミング発生回路5と、信号線駆動回路2からのデータを液晶表示パネルの回路構成に合わせた並びかえをして処理するデータ処理回路4と、最終的に決定される階調電圧の基準となる階調電圧を抵抗分割により決定し信号線駆動回路2に供給する階調電源6からなる。

【0015】上記構成のアクティブマトリクス型液晶表示装置は、図5に示す液晶表示パネルを用いて構成される。本液晶表示パネルは、 $n$ 列× $m$ 行の画素電極より構成され、水平方向の任意の表示ラインに対して2本の走査線G1, G2, G3, G4, …が割り当てられており、それぞれの信号線Gを挟んで水平方向に隣接する表示画素のゲート電極の一方は奇数番目の走査線G1, G3, …, G $2m-1$ 、他方が偶数番目の走査線G2, G4, …, G $2m$ に接続される。さらに、走査線Gを挟んで垂直方向に隣接する表示画素のゲート電極の一方は奇数番目の走査線G1, G3, …, 他方が偶数番目の走査線G2, G4, …, に接続されている。

【0016】図1中の階調電源6は、液晶表示パネルを構成する表示画素の、偶数番目の画素が選択される時に

信号線 S に供給される電圧と、奇数番目の画素が選択される時に信号線 S に供給される電圧とを、それぞれの場合において切り替えるための階調電圧を生成する階調電源部である。図 2 は、この階調電源 6 の回路構成例を示しており、抵抗ラダー回路で構成されている。

【0017】図 2において、本実施形態の階調電源 6 において、各階調電圧は、抵抗 R 1～R 9 により、プラス側電圧 (VA 0～VA 4) とマイナス側電圧 (VB 0～VB 4) とに振り分けられている。抵抗器 R 1～R 9 は、階調電圧設定用の抵抗器であり、R 1～R 4 により設定された電圧 VA 0～VA 4 が正フレームの階調電圧であり、R 6～R 9 により設定された電圧 VB 0～VB 4 が負フレームの階調電圧である。

【0018】次に、本上記の液晶表示パネルを本実施形態のアクティブマトリクス液晶表示装置に使用したときの駆動形態例を説明する。先ず、シリアルで入力されてくるデータを従来例と同じくデータ処理回路 4 でとらえ、データ処理回路の中のラインメモリに 1 ライン分記憶し、奇数画素データと偶数画素データを 1 水平期間 (1 H) の前半の 1/2 H と後半の 1/2 H とに振り分けて出力する。このようにデータが信号線に出力される

$$V_{pp}(n) = \Delta VD \cdot (C_{pp}) / (C_{tot}) \quad \dots (1)$$

【0021】よって、変調電圧  $V_{pp}(n)$  だけ前段画素の階調電圧を補正すれば、前段画素と後段画素の書き電圧を合わせることができる。

【0022】例えば、図 1 に示した階調電源 6 が図 2 のような抵抗ラダー回路で構成される場合、各階調電圧は

$$\Delta VD = (VA 0 + VB 0) \cdot$$

【0024】よって、式 (1) より各階調での変調  $V_{pp}(n)$  は階調電圧  $\Delta VD$  に比例しており、又、式 (2) より階調電圧  $\Delta VD$  は  $VA 0$  電圧、 $VB 0$  電圧に比例している。このため、 $VA 0$  電圧、 $VB 0$  電圧を電圧  $V_{pp}(BL)$  だけ補正すると、0 階調だけでなく中間調も補正できる。 $VA 0$  電圧、 $VB 0$  電圧を補正するには、 $VA 0$  電圧、 $VB 0$  電圧に DC 電圧を入れるのではなく、図 3 のように 1 水平期間の半分の周期 (1/2 H) で  $VA 0$  電圧、 $VB 0$  電圧を電圧  $V_{pp}(BL)$  だけ変えればよい。

【0025】次に駆動方法を説明する。液晶表示パネル 1 はその水平方向に配置された信号線駆動回路 2 と垂直方向に配置された走査線駆動回路 3 で駆動される。信号線駆動回路 2 は、タイミング発生回路 5 で生成された、信号線データの出力タイミング制御信号 HSYN 及びデータ周波数の制御信号 CLK により駆動され、出力端子 S 1、S 2、S 3、S 4、…は、液晶表示パネル 1 の信号線 (S) に接続されており信号線数は水平方向の画素数の半分である。

【0026】走査線駆動回路 3 は、タイミング発生回路で生成された走査線データの出力タイミング制御信号 VSYN 及びデータ周波数の制御信号 CLK により駆動さ

と、走査線 G は、順次 G1、G2、G3、G4、…と TFT のオン電圧をシフトしていくば、所定の画素に所定のデータが書き込まれることになる。例えば、図 5 の信号線 S1 に注目すれば、走査線が順次 G1 からオンしていくと、スイッチング素子 d11、d12、d22、d21、…と、また信号線 S2 に注目すればスイッチング素子 d14、d13、d23、d24、…とそれぞれゲートが開き、信号線 S1、S2 からのデータは書き込まれる。

【0019】ここで、信号線駆動回路から出力された信号の極性は、隣り合う出力同士が互いに逆極性で 1 回の出力毎に極性反転することを考慮すれば、1 フレーム書き終了後の画面の極性は図 6 のようにドット反転になる。このとき、隣り合う画素間に寄生容量があるために、1 本の信号線を挟んで隣り合う 2 つの画素において、図 8 に示したように前段画素の電位が後段画素の電位の書き時に、n 階調において  $V_{pp}(n)$  の変調を受ける。 $V_{pp}(n)$  は、n 階調の階調電圧のプラス側電圧とマイナス側の電圧の差  $\Delta VD$  と、1 画素にかかる総容量  $C_{pp}$  を用いて次式で表される。

【0020】

$(R_n) / (R_{tot}) \cdot (V_{pp}(n)) = (VA 0 + VB 0) / (VA 0 + VB 0) \cdot (C_{pp}) / (C_{tot}) \quad \dots (2)$

プラス側電圧 (VA 0～VA 4) とマイナス側電圧 (VB 0～VB 4) とに振り分けられる。このとき n 階調の階調電圧  $\Delta VD$  は、0 階調の階調電圧に対応する  $VA 0$  電圧、 $VB 0$  電圧を用いて次式で表される。

【0023】

$(R_n) / (R_{tot}) \cdot (V_{pp}(n)) = (VA 0 + VB 0) / (VA 0 + VB 0) \cdot (C_{pp}) / (C_{tot}) \quad \dots (2)$

れ、出力 G1、G2、G3、G4、…は、液晶表示パネルの走査線 (G) に接続されており、走査線数は垂直方向画素数の 2 倍である。走査線信号回路 3 からの選択信号は、G1、G2、G3、G4、…と順次、TFT のゲート電極に出力していく。又、データは、データ処理回路 4 によって奇数番目データ群と偶数番目データ群に分けられ、1 水平走査期間の半分 (1/2 H) で信号線駆動回路 2 に入力された後、階調電源 6 内から供給された基準階調電圧をもとに、信号線駆動回路 2 内の抵抗分割により決定された最終的な階調電圧をパネルに出力する。

【0027】上記の実施形態によれば、水平方向の隣り合う画素で信号線を共用して、信号線駆動回路を半分に減らしたアクティブマトリクス型液晶表示装置において、前段画素の電位が後段画素の電位の書き時に受ける変調電圧 ( $V_{pp}$ ) の分、前段画素の階調電圧をあらかじめ補正しておくようにした。このため、前段画素電位が画素間寄生容量により後段画素の書き時に変調をうけても、前段画素と後段画素の電位は等しくなる。この結果、良好な表示が得られる。よって、信号線を共有することで信号線駆動回路の高価なドライバ IC を半減し、ドット反転駆動での特殊パターンを表示しても、良好な

画質が得られる。特に、緑画素市松等の特殊パターンを表示しても、表示画質を落とすことがない。

【0028】尚、上述の実施形態は本発明の好適な実施の一例ではあるがこれに限定されるものではなく、本発明の要旨を逸脱しない範囲において種々変形実施可能である。例えば、上記の奇数番目、偶数番目は一例であり、逆の構成も同様に成立する。

【0029】

【発明の効果】以上の説明より明かなように、本発明のアクティブマトリクス型液晶表示装置は、表示画素の偶数番目の画素が選択される時に信号線に供給される電圧と、表示画素の奇数番目の画素が選択される時に信号線に供給される電圧とを切り替える。このため、一水平走査期間内に2本の走査線を連続して選択することで水平方向に並ぶ画素列に表示電圧を書き込み、更に、階調電圧を切り替える。よって、信号線を共用して信号線駆動回路の数を減らしたアクティブマトリクス型液晶表示装置においてドット反転駆動をしたとき、画素間寄生容量による前段画素電位の変調があっても、前段画素の階調電圧の補正により、後段画素の書き込み時に変調を受けた後の前段画素の電位と、後段画素の電位とを同等にすることができる。これにより、低コストで高品位の画質が実現可能となる。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス型液晶表示装置

の実施形態の構成例を示す回路ブロック図である。

【図2】階調電源部の電圧設定回路図例である。

【図3】階調電圧切り替え後の前段画素と後段画素の画素電位の関係を説明するための図である。

【図4】階調電圧切り替え後のデータの動作状態を説明するための概念図である。

【図5】従来の液晶表示パネルの回路構成図である。

【図6】従来の液晶表示パネルの極性（ドット反転状態）を説明するための図である。

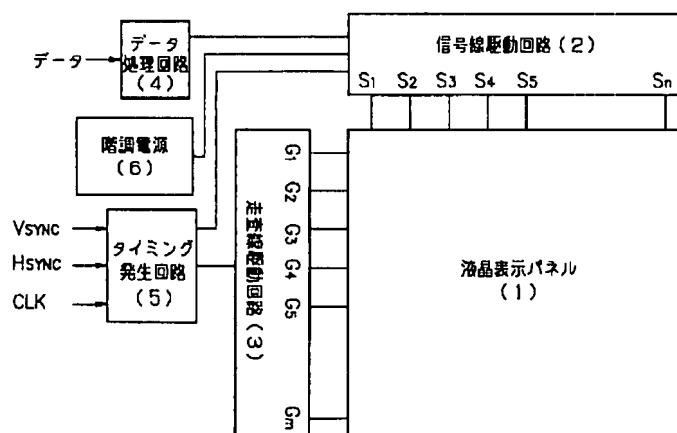
【図7】緑画素市松パターンの表示画面の構成例を示す図である。

【図8】従来の前段画素と後段画素の画素電位の比較（正フレーム）を説明するための図である。

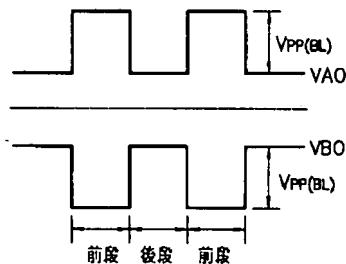
【符号の説明】

- 1 液晶表示パネル
- 2 信号線駆動回路
- 3 走査線駆動回路
- 4 データ処理回路
- 5 タイミング発生回路
- 6 階調電源
- S 信号線
- G 走査線
- T 薄膜トランジスタ
- d 表示画素
- C 共通電極

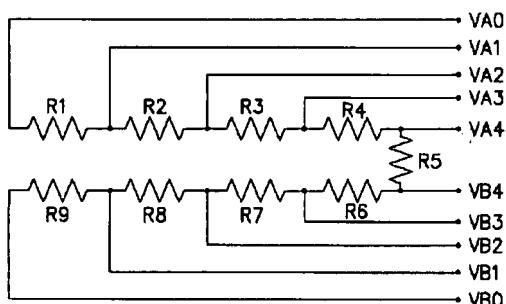
【図1】



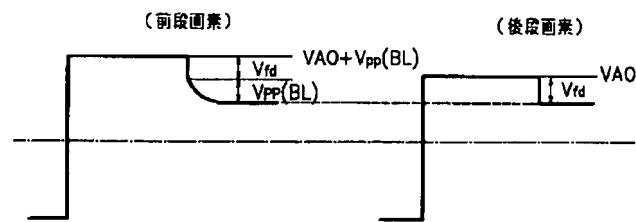
【図3】



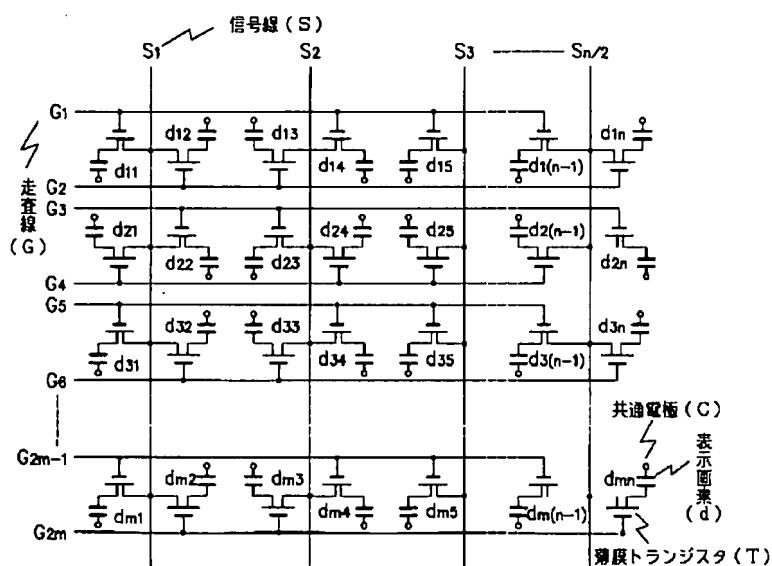
【図2】



【図4】



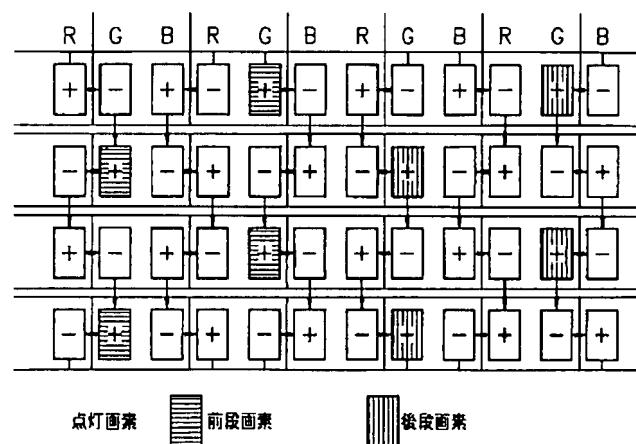
【図5】



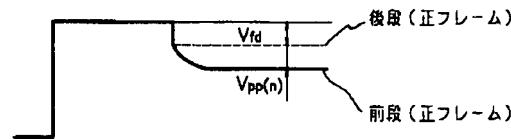
【図6】

信号線駆動回路側													
走査駆動回路側		走査駆動回路側		走査駆動回路側		走査駆動回路側		走査駆動回路側		走査駆動回路側		走査駆動回路側	
+	-	+	-	+	-	+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-	+	-	+	-	+	-

【図7】



【図8】



$$V_{pp(n)} = \frac{C_{pp}}{C_{tot}} \Delta V_D$$

$V_{pp(n)}$  : 前段画素電圧の変化分  
 $C_{pp}$  : 画素固有容量  
 $C_{tot}$  : 全容量  
 $\Delta V_D$  : 隅隅電圧幅  
 $V_{fd}$  : フィードスルーレ電圧

---

フロントページの続き

(72)発明者 大井 進  
 東京都港区芝五丁目7番1号 日本電気株  
 式会社内